

Patent Abstracts of Japan

PUBLICATION NUMBER : 10074891
PUBLICATION DATE : 17-03-98

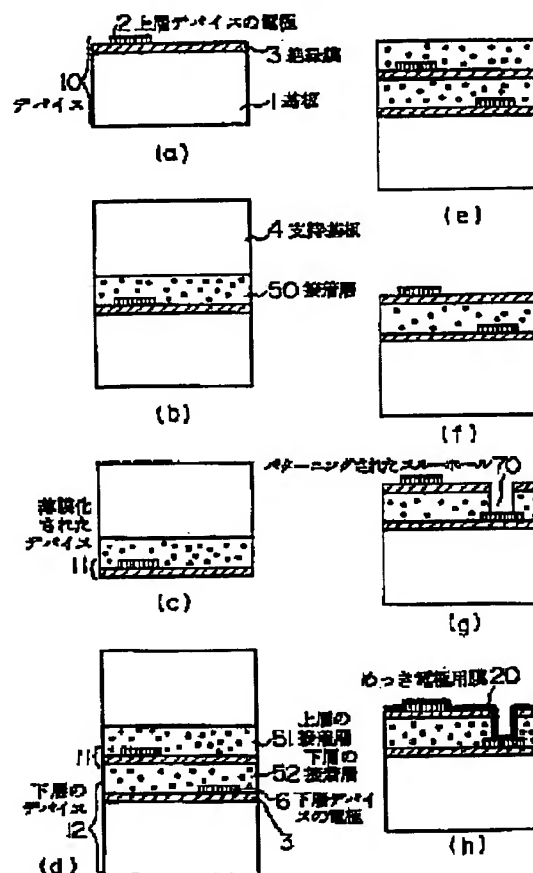
APPLICATION DATE : 07-08-97
APPLICATION NUMBER : 09213272

APPLICANT : NEC CORP;

INVENTOR : TAKAHASHI SOJI;

INT.CL. : H01L 27/00 H01L 27/10

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a method and structure for realizing inter-chip connections in a vertical direction having a mechanical strength, to accommodate a fine pitch in a three-dimensional IC of a thin-film stack type.

SOLUTION: A through-hole is made in an insulating film of a semiconductor device 10 previously prepared, a support substrate 4 is bonded to the film with an adhesive, the substrate is polished from its rear side to form a thin film, the thin film is stacked on another device, the support substrate and adhesive layer as upper layers are removed, the adhesive layer is removed by an O₂ plasma ashing process with the use of the through-hole as a mask for exposing electrode of the lower layer. The resultant laminate is coated on its entire surface with conductive substance 20 for plating electrode, subjected to a photoresist patterning process for exposing a plating-connection intended area, a plating solution is immersed therein while supplying a current to the electrode to form a plated film, the conductive substance layer 20 is etched to establish a plated connection between the electrodes of the upper and lower layers.

COPYRIGHT: (C)1998,JPO

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/00	3 0 1		H 0 1 L 27/00	3 0 1 B
27/10	4 9 5		27/10	4 9 5

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平9-213272
 (62) 分割の表示 特願平5-326671の分割
 (22) 出願日 平成5年(1993)12月24日

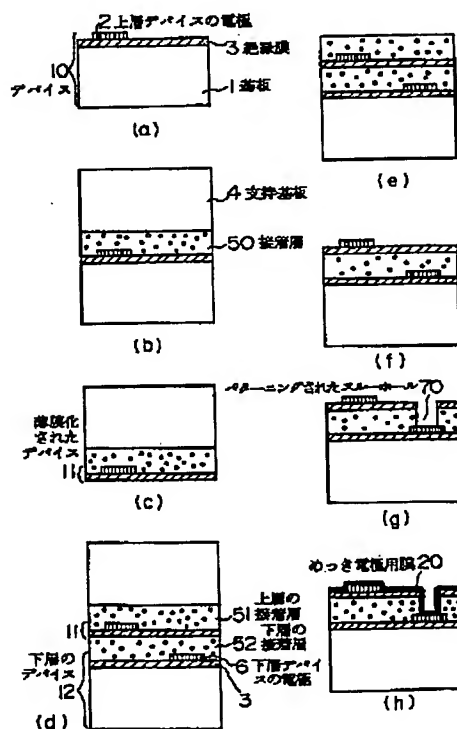
(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72) 発明者 ▲高▼橋 宗司
 東京都港区芝五丁目7番1号 日本電気株式会社内
 (74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 薄膜積層化による3次元ICで、微細ピッチに対応し、機械的な強度を有する縦方向のチップ間接続方法と構造を提供する。

【解決手段】 あらかじめ形成された半導体デバイス10の絶縁膜上にスルーホール71を形成した後、接着剤で支持基板4を接着し、裏面から研磨して薄膜化し、別のデバイスの上に積層し、上層の支持基板と接着層を除去した後、スルーホールをマスクとして接着層をO₂プラズマアッシングで除去して下層の電極を露出させ、全面にめっき電極用導電性物質20を被覆し、めっき接続を形成したい部分が露出するようにフォトリソをパターニングし、めっき接続を形成したい部分が露出するようにフォトリソをパターニングし、電極に電流を流しながらめっき液に浸すことでめっき膜40を形成し、めっき膜をマスクとして導電性物質20をエッチングすることによって、上層と下層の電極を接続するめっき接続を形成する。



【特許請求の範囲】

【請求項1】第1層基板はそれぞれに半導体デバイスおよび電極を有する複数のチップが形成されたものであり、前記各チップごとに少なくとも1層以上の薄膜化された電極を有する半導体デバイス層が接着層を介して縦方向に積層されており、該縦方向に積層された半導体デバイス層の電極と第1層基板上のチップの電極間とはめっき電極膜によって接続され、かつ第1層基板上のチップの電極は他のチップの電極との間で横方向に接続されていることを特徴とする半導体装置。

【請求項2】前記第1層基板のチップ上に縦方向に積層された薄膜化された半導体デバイス層および接着層のうちの最下層のものには前記チップに設けられた電極の少なくとも一部を露出するスルーホールが設けられ、半導体デバイス層の電極と第1層基板上のチップの電極間が該スルーホールに設置されためっき電極膜によって接続されたことを特徴とする請求項1に記載の半導体装置。

【請求項3】 n 個（ただし n は2以上の整数）の薄膜化された半導体デバイス層が接着層を介して縦方向に積層されており、下から第 k 層目の半導体デバイス層（ただし k は $1 < k \leq n$ を満たす整数）のスルーホールは第 $(k-1)$ 層目の半導体デバイス層のスルーホールを全て露出すると共に第 $(k-1)$ 層目の半導体デバイス層の電極の少なくとも一部を露出する領域に形成されることを特徴とする請求項2に記載の半導体装置。

【請求項4】前記スルーホールが、スルーホール内に掲載された絶縁膜によってテーパー形状となっていることを特徴とする請求項2または請求項3に記載の半導体装置。

【請求項5】前記薄膜化された半導体デバイス層は、上層デバイスが下層デバイスまたはチップよりも小さく、かつ前記下層デバイスまたはチップの電極を露出するように積層され、各半導体デバイス層のエッジ部分に設けられためっき電極膜により各デバイス層の電極および第1層基板上のチップの電極間が接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項6】前記上層デバイスと前記下層デバイスまたはチップの電極間の段差が、その間に形成された絶縁膜によってテーパー形状となっていることを特徴とする請求項5に記載の半導体装置。

【請求項7】前記第1層基板のチップ電極間が、第1層基板表面上に設けられためっき電極膜により接続されていることを特徴とする請求項1から6のいずれかに記載の半導体装置。

【請求項8】前記第1層基板のチップ電極間が、第1層基板内部にあらかじめ設けられた横方向チップ間配線により接続されていることを特徴とする請求項1から6のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、3次元ICおよびマルチ・チップ・モジュールにおけるチップ間接続電極の構造に関するものである。

【0002】

【従来の技術】半導体集積回路の微細化・高集積化の限界を打破する技術として、従来から3次元ICやマルチ・チップ・モジュール（MCM）等が知られている。

【0003】3次元ICには様々な製造方法があるが、中でも図15に示すようなチップを積層化する手法は、シリコンの結晶性が最も良いものとして有力視されている（林ら、1990 VLSI・テクノロジー・シンポジウム P. 95～96）。このチップ積層化による3次元IC形成技術では、チップ間の電気的接続を高融点金属であるWバンプ（90）および低融点合金であるAu-Inプール（91）により行っている。しかし、この方法ではバンプがプールに差し込まれるまでの間は接着層間に間隙があるため、本質的に接着不良を起こしやすい構造である。また、バンプの形成に通常の半導体プロセスを適用しているためバンプの高さを数 μm より大きく稼ぐことができず、このため目合わせ積層化の際に間に数 μm のゴミが入ったり、薄膜化後の凹凸が数 μm あるだけでバンプがプールに届かず電気的接続がうまくいかないという問題がある。

【0004】一方マルチ・チップ・モジュール（MCM）技術は、図16に示したようなICベアチップ98を配線が形成された基板へ直接実装することによって、チップ間の配線を短くするとともに、実装モジュールに寄生するインダクタンスやキャパシタンスを除去し、高密度かつ高速なシステムを実現するものである。近年、実装されるICの信号バスピン数を大きくしたいという要求から信号パッドの間隔が狭くなりつつある。現在最も狭い間隔に対応できる接続技術は、各種合金により形成されたバンプを用いたフリップーチップーボンディング技術である。この方法の場合チップと配線基板に間隙があるため、チップの発熱に起因した熱変形による応力がすべて接続部に集中し、接続が破壊されてしまうという問題がある。また、バンプの形成方法上50 μm ピッチぐらいがフリップーチップーボンディングの限界と言われている。

【0005】

【発明が解決しようとする課題】本発明は、微細ピッチに対応し、機械的な強度を有し、かつ3次元的な縦方向の接続も可能であるチップ間接続の構造を提供するとともに、3次元ICとMCMを融合した新しい構造の半導体装置を実現することを目的とするものである。

【0006】

【課題を解決するための手段】本発明はデバイスを薄膜化しもう一つの別のデバイスに積層した後、各デバイスの電極をめっきによって接続することを特徴としている。めっきを用いる主な理由は、数 μm オーダーの厚い

導電体膜はめっきが最も安定して成長させることができるためである。また、デバイスを薄膜化する工程を入れたのは、めっき電極導電膜を形成する時に断線してしまうのを防ぐことおよびリソグラフィーにおけるフォーカスマージン内にめっきを形成することを目的として、上層と下層の電極の段差を減らすためである。

【0007】めっきによって電極を接続する方法は、本発明では二通りを提案している。一つは上層のデバイスに形成されたスルーホールを通して接続するもの、もう一つはチップのエッジを通して接続されるものである。前者はさらに、積層化した後スルーホールを形成する方法と、薄膜化積層する前に予めスルーホールを形成する方法の二通りを提案している。

【0008】また、各層デバイスの電極を露出させた後、層間絶縁膜を被覆し上層の電極および下層の電極が露出するようにパターニングする工程を入れることも本発明で提案している。この工程には二つの目的がある。一つは、上層のデバイスの薄膜化の際にデバイスの劣化を避けるためにわざと薄膜化を途中で止めて基板を絶縁層の下に少し残した場合、基板を介して電極がショートすることを防ぐために、絶縁膜を基板とめっき膜の間に介在させることを目的とする。もう一つは、上層のデバイスあるいは接着層が厚く上層の電極と下層の電極の段差が大きい場合、めっき電極用導電性膜の断線を防ぐため、テーパのついた絶縁膜を形成することを目的とする。

【0009】さらに、本発明では3層以上の積層されたデバイス層の電極を、一度のめっき工程で同時に接続する方法も提案している。この方法を用いれば大幅なTAT(ターン・アラウンド・タイム)の短縮が実現できるだけでなく、この後に説明するチップの縦方向接続と横方向接続を同時に形成する、3次元ICとMCMを融合したような新しい半導体装置の製造に応用することが可能となる。

【0010】最後に、本発明では前述した電極の接続方法を用いて、チップの縦方向接続と横方向接続を同時に形成した半導体装置も提案している。縦方向の接続はスルーホールを用いた接続でも、チップのエッジを這わせた配線でもどちらでもよい。また、3層以上の積層デバイスを接続するには、あらかじめ前述した方法を用いて3次元ICを形成したものでもよいし、各層の電極を露出させた後同時に接続することも可能である。

【0011】本発明によれば、微細ピッチに対応し、機械的な強度を有し、かつ3次元的な縦方向の接続も可能であるチップ間接続が実現することができ、しかも、3次元ICとMCMを融合した新しい構造の半導体装置を実現することも可能となる。

【0012】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0013】図1、2は、本発明における接続方法の実施例を示す断面図である。この図ではデバイスが形成されている部分は省略し電極部分だけを示している。まず予め積層するためのデバイス10を形成する(図1(a))。接着剤50を用いて支持基板4に固定した後(図1(b))。デバイス10の裏面から研磨によって薄膜化し(図1(c))、この薄膜化されたデバイス11をもう一つのデバイスに接着剤52を用いて圧着する(図1(d))、わかりやすくするために上層の接着剤を51、下層の接着剤を52として説明する)。支持基板を研磨、ドライエッチングあるいはウェットエッチングなどで除去した後(図1(e))、上層の接着層を除去する(図1(f))。ここで、例えば基板1にはSiを、絶縁膜3にSiO₂膜を、電極2、6にアルミニウム、上層および下層の接着剤51、52にポリイミドを用いれば、O₂プラズマアッシングによって上層の接着層51は容易に除去でき、しかも絶縁膜や配線層はエッチングされないようにすることができる。パターニングおよびエッチングによって絶縁膜にスルーホールを形成した後、ふたたびO₂プラズマアッシングによって下層の電極表面が露出するまで接着層をエッチングし、スルーホール70を形成する(図1(g))。オーバーアッシングによって配線表面に絶縁膜が形成されてしまう恐れがあるが、Arスパッタリングなどによって表面処理を行えば問題ない。その後、めっき用電極膜20を形成し(図1(h))、めっき接続を形成したい部分を抜くようにレジストパターニングを行い(図2(a))、例えば図2(b)のようにしてめっき膜40を成長させる(図2(c))。レジストを除去した後(図2(d))、めっき電極用膜20をめっき接続をマスクとしてエッチングすれば出来上がる(図2(e))。

【0014】図3は、本発明における接続方法の実施例の一部を示す断面図である。この図でもデバイスが形成されている部分は省略し電極部分だけを示している。図1、2で示した例との違いは、絶縁膜のスルーホール71の形成(図3(b))を、支持基板の圧着(図3(c))の前に行っていることである。これにより、図3(g)でスルーホールの形成をO₂プラズマアッシングによって上層の接着層の除去と同時に行うことができる。この後は、図2(a)～(e)に従って接続電極を形成すればよい。

【0015】図4は、本発明における接続方法の実施例を示す断面図である。ここでは上層の電極と下層の電極の接続をスルーホールを介したものでなく、チップのエッジをまたいで形成したものである(図4(e))。必然的に上層のデバイスのチップの大きさは下層のそれよりも小さくなる。

【0016】図5、6は、本発明における絶縁膜被覆を用いた接続の実施例を示す断面図である。薄膜積層化した後、図5(b)のように絶縁膜を被覆し、電極表面が

露出するようにパターニングする工程を設ける例である。図5はスルーホールを介した接続に適用した例、図6はチップのエッジをまたいだ接続に適用した例である。これにより、めっき電極20が基板を介して別のめっき電極にショートすることを防ぐことができる。また、絶縁膜にテーパーがつくようにエッチングすることによって急峻な段差によるめっき電極膜20の断線を防ぐことができる。例えば絶縁膜9として感光性ポリイミド膜を用いればパターニングを直接行うことができ、かつ熱処理してポリイミドを軟化させることでテーパー形状も容易に得られる。

【0017】図7は、本発明における3層以上の層間電極の形成方法の実施例を示す断面図である。図7では3層の層間電極を接続した例を示している。まず、2層のデバイス202が積層された3次元IC（図7(a)）に3層目の薄膜デバイス203を積層する（図7(b)）。3層目の薄膜デバイスの電極と2層目の薄膜デバイスの電極をめっきによって接続する（図7(c)）。この工程を繰り返すことによって、何層のデバイスでも積層することが可能である。

【0018】図8、9は、3層以上の層間電極の接続を一度のめっき工程で実現する方法の実施例を示した断面図である。ここでは4層の層間電極を接続した例を示している。3層目デバイスには2層目デバイスの電極102と2層目デバイスのスルーホール302を含んだスルーホール303を形成する。同様に4層目デバイスには3層目デバイスの電極103と3層目デバイスのスルーホール303を含んだスルーホール304を形成する。こうすることにより、図7の方法よりも少ない工程で多層の層間接続を行うことができる。ただ、この方法ではめっきパターンを形成する際のフォトリソ工程のフォーカスマージンで一度に接続できる層数が制限されるが、積層したい層数がこれを越える場合は図7の工程を図6のように繰り返せばよい。

【0019】図10は、本発明の接続方法を用いて3次元ICをMCM実装する方法の実施例を示す断面図である。図10(d)で薄膜デバイスを目合わせ積層することを除いて図1、2や図3の工程をほぼそのまま適用できる。本実施例では、水平方向に2チップ、縦方向にも2チップを積層実装した例を示したが、この数に限られずめっき接続ができる限り水平方向にも縦方向にも何チップでも実装することができる。

【0020】図11は、1層目のデバイス201が形成された基板上に薄膜デバイスを3層積層し、縦方向のチップ間接続44および横方向のチップ間接続43をチップエッジをまたいで同時に形成した実施例を示す。

【0021】図12は、1層目の配線基板210上に薄膜デバイスを4層積層し、縦方向のチップ間接続45を、スルーホールを通して行った実施例を示す。このように1層目の配線基板に形成された横方向チップ間配線

46を用いて、横方向の接続を行ってもよい。

【0022】図13にCPU500、1次キャッシュメモリ501、2次キャッシュメモリ502を配線基板503上に3次元-MCM実装したシステムの実施例を示す。この図では縦方向の層間配線および横方向のチップ間配設は省略している。高速の信号のやり取りが必要なCPU-1次キャッシュ間は配線長が短くなるように積層し、大容量の2次キャッシュはCPU-1次キャッシュのまわりに配置することによって、高速の動作を実現できる。

【0023】図14には、さらに3次元ICによるMCM220をさらに薄膜化し、MCM間を接続する配線基板211上に積層し、めっきにより接続したハイブリッドMCMを形成した実施例を示す。この他に3次元ICによるMCMをさらに縦方向に積層して接続してもよいし、複数のハイブリッドMCMをさらに大きな領域を有した配線基板にMCM的に実装して巨大なシステムを一つの基板に集積することも可能である。このように、積層数、実装数が増えれば増えるほど、本発明の長所であるチップ間配線長が短いという特性が活かされる。

【0024】

【発明の効果】以上説明したとおり本発明は、微細ピッチに対応し、機械的な強度を有し、かつ3次元的な縦方向の接続も可能であるチップ間接続を実現するとともに、3次元ICとMCMを融合した新しい構造の半導体装置を実現することを可能とする。

【図面の簡単な説明】

【図1】本発明の接続方法の実施例を示す断面図である。

【図2】図1にひきつづいて本発明における接続方法の実施例を示す断面図である。

【図3】本発明の接続方法の実施例の一部を示す断面図である。

【図4】本発明の接続方法の実施例を示す断面図である。

【図5】本発明の絶縁膜被覆を用いた接続の実施例を示す断面図である。

【図6】絶縁膜被覆を用いた接続の実施例を示す断面図である。

【図7】3層以上の層間電極の形成方法の実施例を示す断面図である。

【図8】3層以上の層間電極の接続を一度のめっき工程で実現する方法の実施例を示した断面図である。

【図9】3層以上の層間電極の接続を一度のめっき工程で実現する方法の実施例を示す断面図である。

【図10】本発明の接続方法を用いて3次元ICをMCM実装する方法の実施例を示す断面図である。

【図11】複数の縦方向のチップ間接続および横方向のチップ間接続をチップエッジをまたいで同時に形成した実施例を示す断面図である。

【図12】配線基板上に薄膜デバイスを4層積層し、縦方向のチップ間接続をスルーホールを通して行った実施例を示す断面図である。

【図13】3次元-MCM実装したシステムの一実施例を示す斜視図である。

【図14】ハイブリッドMCMを形成した実施例を示す断面図である。

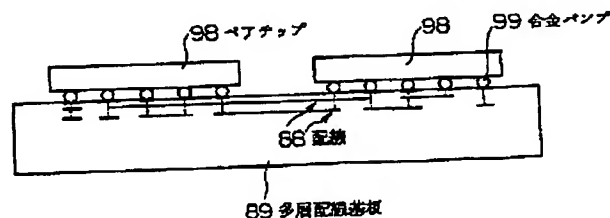
【図15】チップの薄膜積層による3次元ICの形成方法を示す断面図である。

【図16】 bumpsを用いたフリップチップボンディングによるMCMの接続構造を示す断面図である。

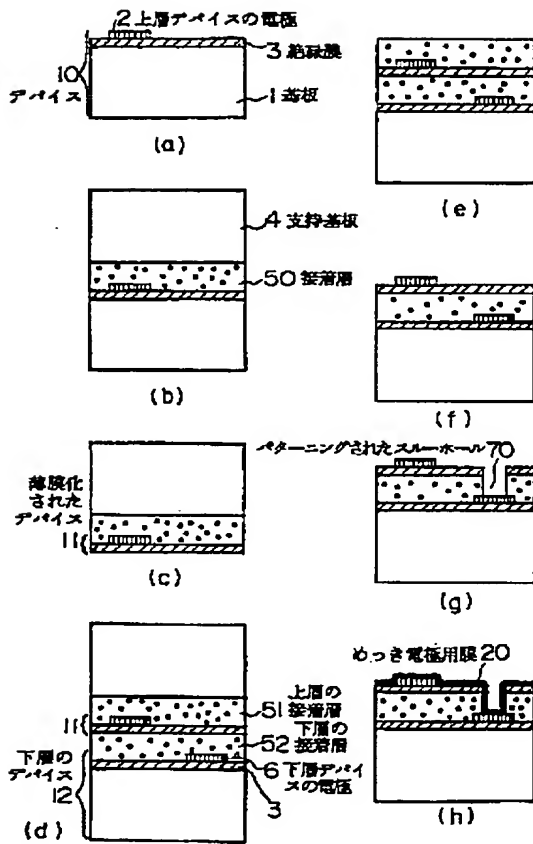
【符号の説明】

- | | |
|-------------------------|--------------------------------|
| 1 基板 | 72 パターニングされた絶縁膜 |
| 2 上層デバイスの電極 | 80 めっき液 |
| 3 絶縁膜 | 81 正または負電極 |
| 4 支持基板 | 82 81と反対の極性の電極 |
| 6 下層デバイスの電極 | 88 配線 |
| 8 薄膜化工程で残された基板 | 89 多層配線基板 |
| 9 パターニングされた絶縁膜 | 90 Wバンプ |
| 11 薄膜化されたデバイス | 91 Au-Inプール |
| 12 下層のデバイス | 93 裏面配線 |
| 13 下層のデバイス | 94 Si活性層 |
| 20 めっき電極用膜 | 95 素子分離酸化膜 |
| 21 パターニングされためっき電極用膜 | 96 ポリイミド接着層 |
| 30 パターニングされたレジスト | 97 支持基板 |
| 40 めっき膜 | 98 ベアチップ |
| 41 めっき接続 | 99 合金バンプ |
| 42 エッジを通して形成されためっき接続 | 100 配線基板の電極 |
| 43 縦方向のチップ間接続部分 | 101 1層目デバイスの電極 |
| 44 横方向のチップ間接続部分 | 102 2層目デバイスの電極 |
| 45 縦方向のチップ間接続 | 103 3層目デバイスの電極 |
| 46 横方向のチップ間配線 | 104 4層目デバイスの電極 |
| 47 縦横同時に形成しためっき接続 | 201 1層目のデバイス |
| 50 接着層 | 202 2層目の薄膜化デバイス |
| 51 上層の接着層 | 203 3層目の薄膜化デバイス |
| 52 下層の接着層 | 204 4層目の薄膜化デバイス |
| 70 パターニングされたスルーホール | 205 1層目の薄膜化デバイス |
| 71 絶縁膜上にパターニングされたスルーホール | 210 1層目の配線基板 |
| | 211 MCM間を接続する配線基板 |
| | 220 3次元ICによるMCM |
| | 230 3次元IC-MCMを複数個実装したハイブリッドMCM |
| | 302 2層目デバイスに形成したスルーホール |
| | 303 3層目デバイスに形成したスルーホール |
| | 304 4層目デバイスに形成したスルーホール |
| | 400 3次元デバイス |
| | 500 CPU |
| | 501 1次キャッシュメモリ |
| | 502 2次キャッシュメモリ |
| | 503 配線基板 |

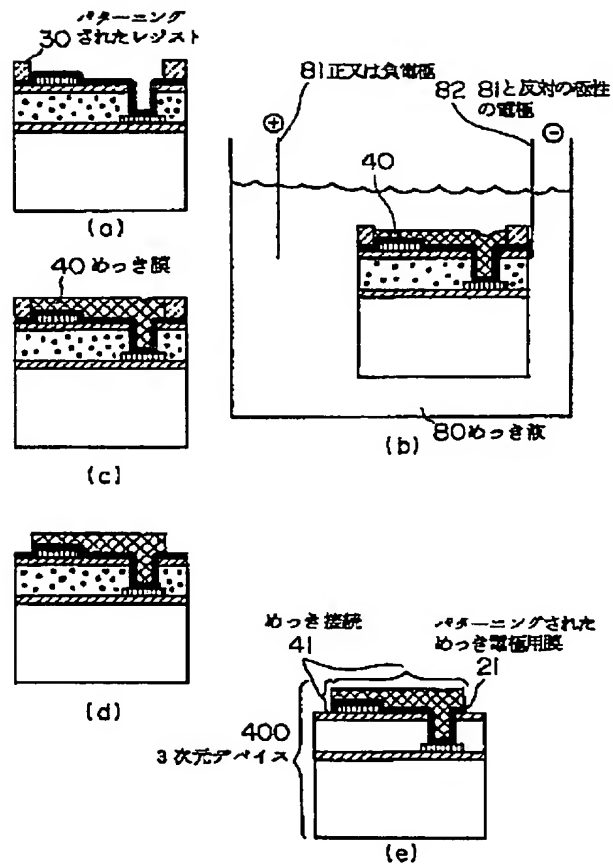
【図16】



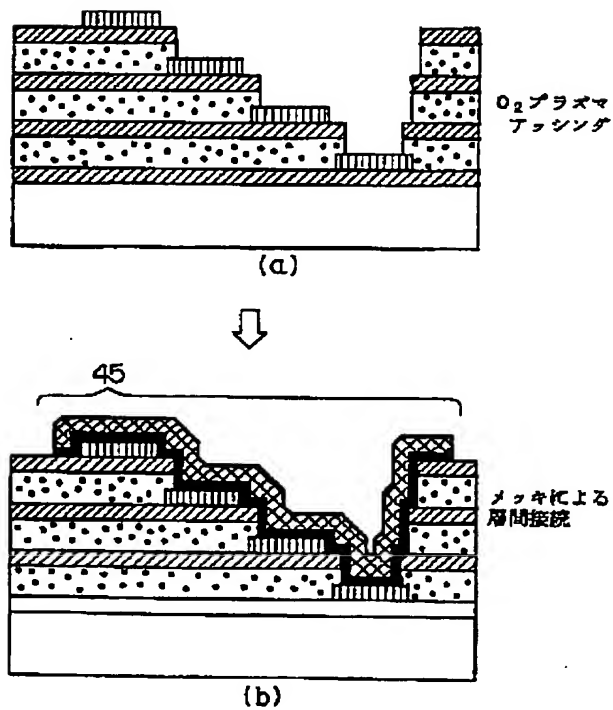
【図1】



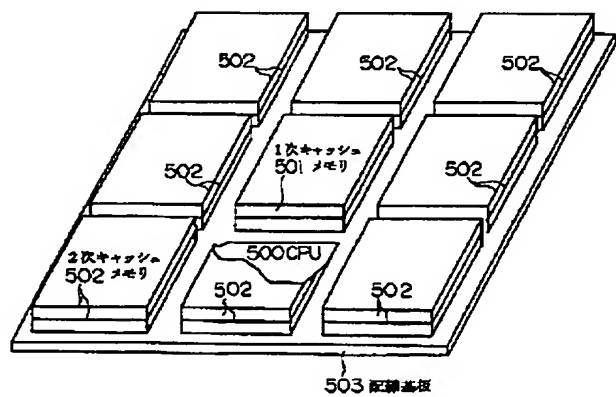
【図2】



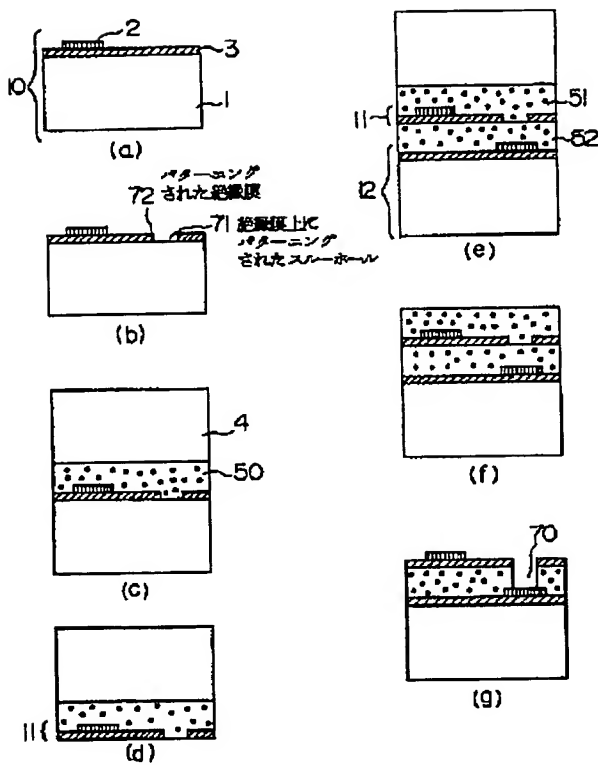
【図9】



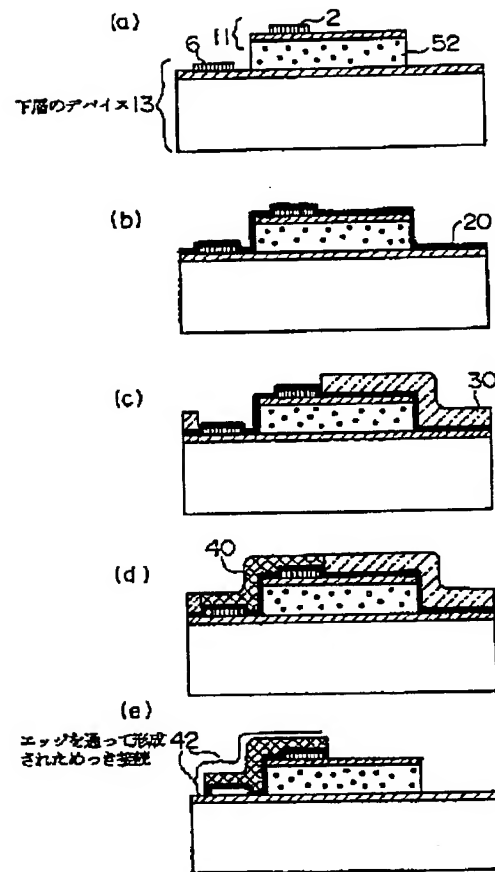
【図13】



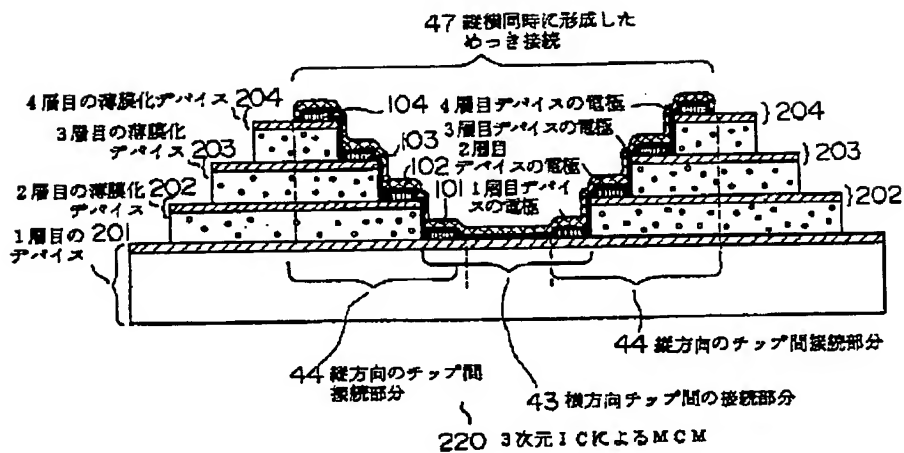
【図3】



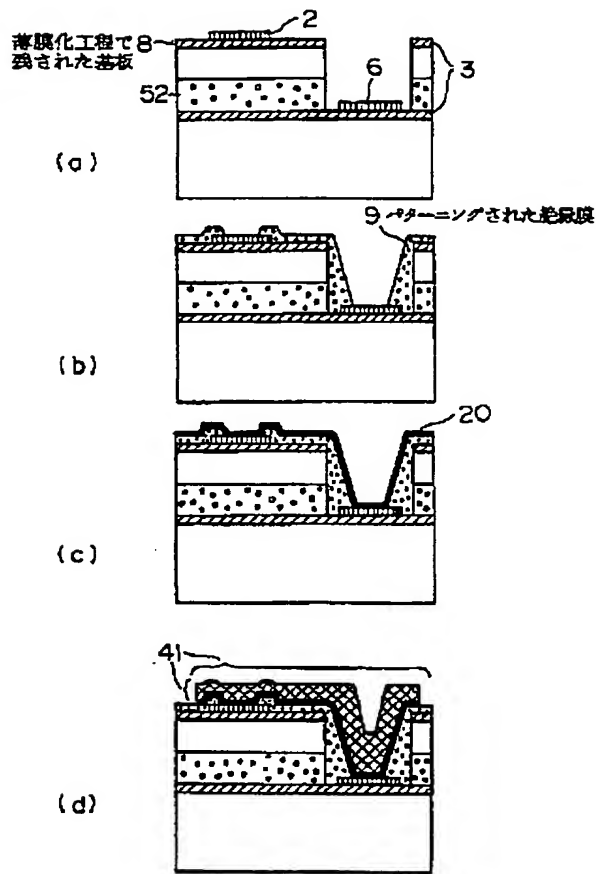
【図4】



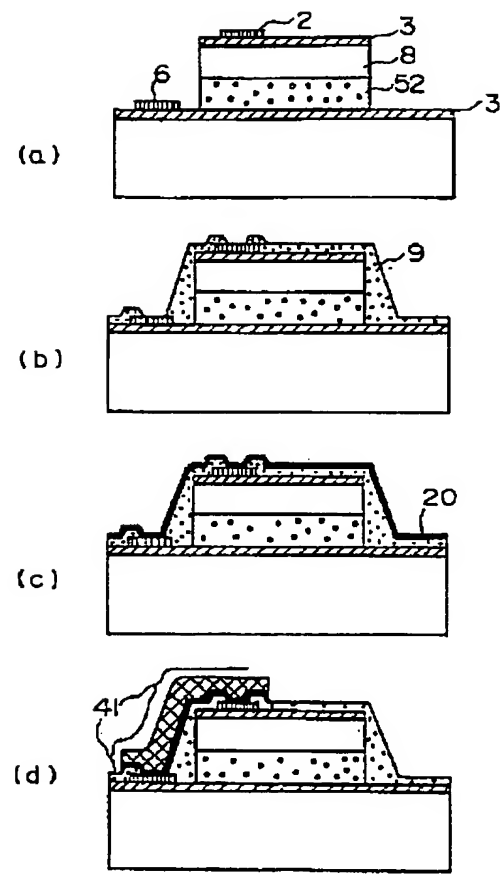
【図11】



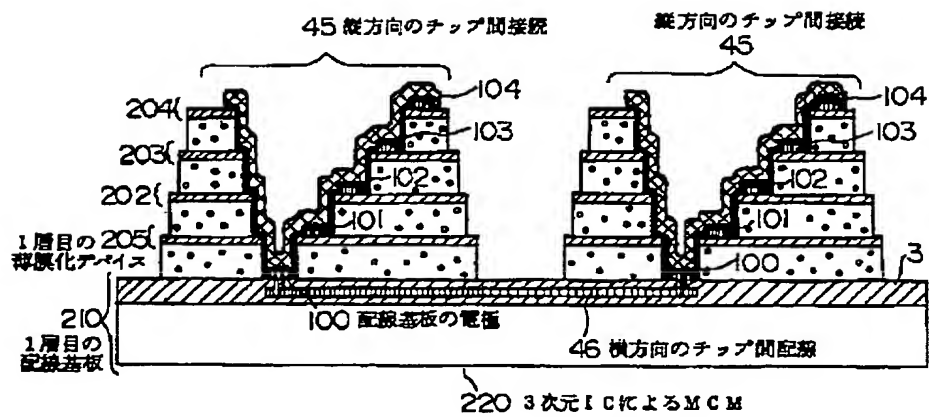
【図5】



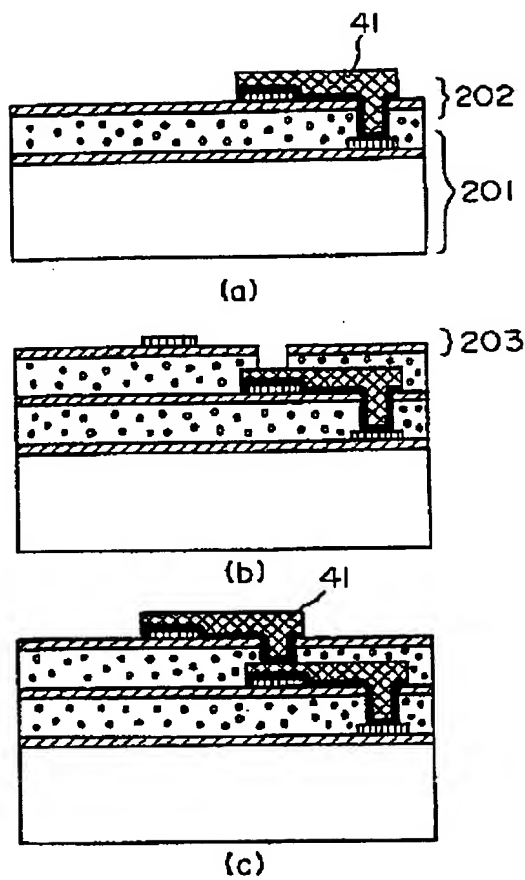
【図6】



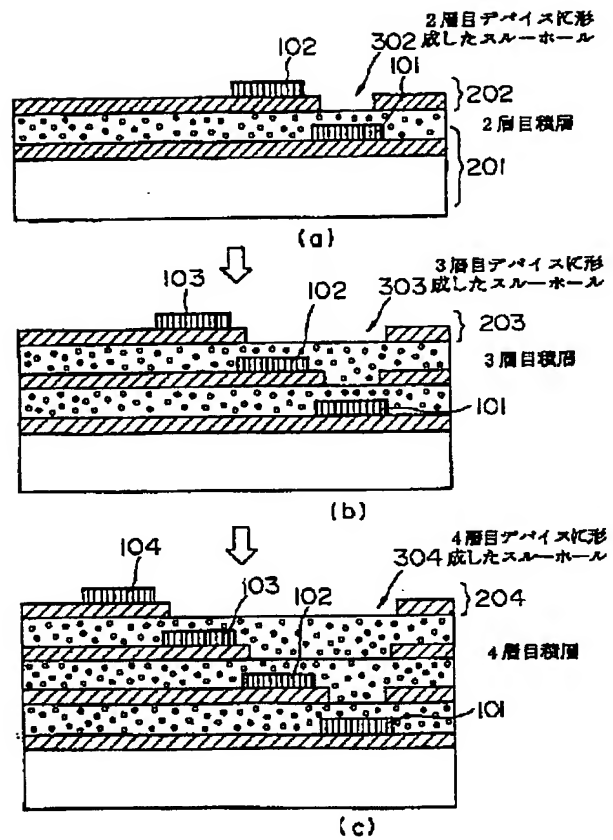
【図12】



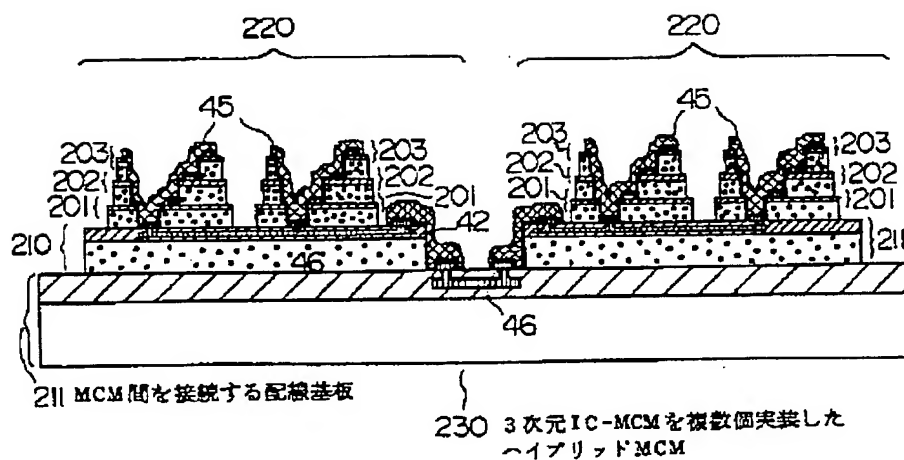
【図7】



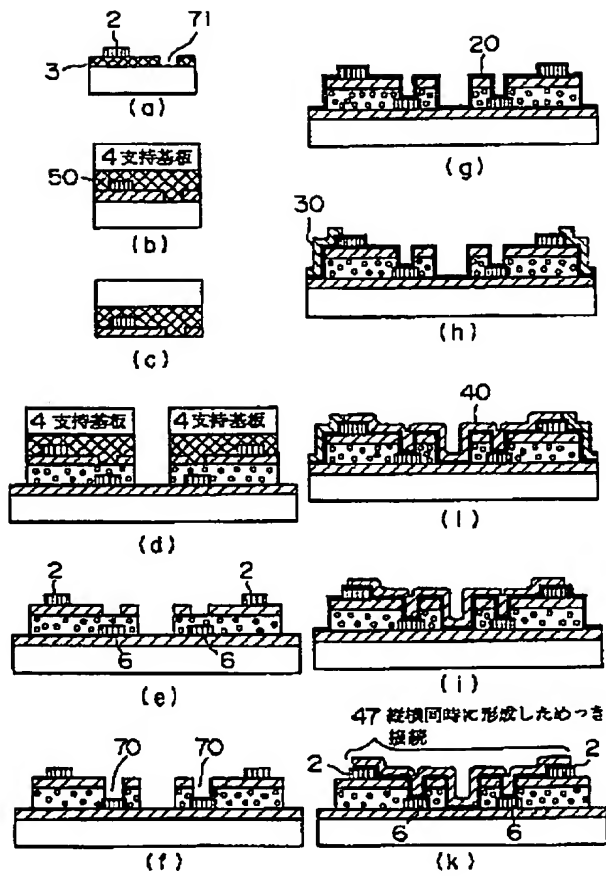
【図8】



【図14】



【図10】



【図15】

